<The English Translation of the Korean Patent Application Publication No. 2001-5268>

1. The summary of the invention

The subject Invention relates to the cell leakage current monitoring circuit of the semiconductor memory element. It is effective in decreasing the refresh current and preventing the destruction of the cell data by monitoring cell leakage current applying the voltage of cell plate to the monitoring cell plate directly to make the refresh operate in accordance with the variation of the cell leakage current caused by change of temperature, voltage or process etc.

The cell leakage current monitoring circuit of the subject invention for operating above comprises:

dummy cell portion wherein many memory cells composed of at least one NMOS transistor and one capacitor are connected to the dummy bit line and the dummy word line; the amplifier that compares and amplifies the electrical potential signal of the cell plate node of the said dummy leakage cell portion with the cell plate voltage; the first and second precharge transistors and the coordinate transistor for applying the cell plate voltage with the said cell plate node and the output node of the amplifier; the leakage current monitoring device composed of switching portion to short circuit optionally the output node of the said amplifier and cell plate node; the comparative device which produces the refresh signal by comparing and amplifying the output signal of the said cell leakage current monitoring device and the reference voltage.

2. Claim 1

Regarding the cell leakage current monitoring circuit of the semiconductor memory element, it comprises:

durning cell portion wherein many memory cells composed of at least one NMOS transistor and one capacitor are connected to the dummy bit line and the dummy word line; the amplifier that compares and amplifies the electrical potential signal of the cell plate node of the said dummy leakage cell portion with the cell plate voltage; the first and second precharge transistors and the coordinate transistor for applying the cell plate voltage with the said cell plate node and the output node of the amplifier; the leakage current monitoring device composed of switching portion to short circuit optionally the output node of the said amplifier and cell plate node; the comparative device which produces the refresh signal by comparing and amplifying the output signal of the said cell leakage current monitoring device and the reference voltage.

P.04/17

= 2001 - 0005268

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. CI. GHC 29/00

(11) 공개번호 목2001-0005298 (43) 공개및자 2007년대월15일

		•
(21) 출원번호 (22) 출원임자	10-1999-0026074 1999년 06월 30일	
(71) 출원인	현대진자산업 주식회사 김영판	
(72) 발명자	경기도 미천시 부탈을 아미리 산 136-1 조호엽	
	서울특별시서초구서초2종 1360-16로양주택 A 동201호 위재경	
	서울특별시광진구광장동워커힐일신아ID트2동602호 미광혁	•
	경기도이천시충포등대우2차아파트206-303	*
	석영호	
	경기도미천시때될면사통리441~1현대전자아파트 103-206 오전근	
•	경기도이원시부발목응임리 97이화아파트 103-1503 김품중	~~
(74) 대리인	광주광역시시구급호등742-2시명일반마파트503-804 이후동, 이정훈	•

설사광구 : 있음

(54) 성 누석진류 강시 회로

父母

본 발명은 반도체 메모리 소자의 셀 누섬전류 감시 최포에 관한 것으로, 감시 셀 둘레이트에 직접적으로 할 들레이트의 전압을 인기하며 셀 누설 전류를 모니터링함으로써 온도, 전압 또는 프로세스 변화등으로 만한 셀 누설 전류 변화량에 맞추어 리프레시랑 수행하도록 하며 리프레쉬 전류를 줄이고 셀 데이타의 파괴물 방지시말 수 있는 효과가 있다.

이를 구현하기 위한 본 말령의 열 누설전류 감시 회로는, 적대도, 1개의 NMDS 트랜지스터와 1개의 커피시 터로 구성된 다수개의 테모리 셀이 더미 비트라인과 데미 워드라인에 연결된 데미 설부와, 상기 데미 누 설 감시 셀부의 샘 즐레이트 노드의 전위 신호와 샘 플레이로 전압을 비교·종족하는 충족단과, 상기 설 플레이트 노드와 중족단의 골딕 노드로 셈 폴레이트 전압을 인기하기 위한 제 1 및 제 2 프리치지 트랜지스터 및 동위 트랜지스터와, 상기 충족단의 출택 노드와 셈 플레이트 노드를 선택적으로 단락시키기 위한 스위험부팅 구성된 웹 누설전류 감시수단과, 상기 셈 누성전류 감시수단의 플렉신호와 기운전압을 비교· 프로워너 기교계상 시호를 발생시키는 비교 수단을 구비하여 이루어진 것을 특징으로 한다. 증복하여 리프레쉬 신호를 발생시키는 비교 수단을 구비하여 이후에진 것을 특징으로 한다.

445

54

4201

데미 살, 데미 살 누살전류 감시 화로, 면산 증폭기, 셀 플레이트

BAN

도면의 군단관 설명

- 도 1은 총래의 설 누설전류 감시 회로도
- 도 2는 좀래의 셈 누섬진류 감시 최로의 시뮬레이션 결과도로서,
- 도 24는 적분 희로부를 초기화 할 때의 파형도이고,
- 도 25는 샠 누설 전류별 모니터랑 할 때의 파형도이다.

도 3은 중래의 웹 누설전류 감시 화로의 클로팅 노드(씨)의 전압에 따른 시뮬레이션 결과도로서,

도 3c는 글로림 노드(NI)의 초기 진암이 OV 일때의 따염도이고,

도 36는 플로팅 노트(원1)의 초기 전암이 아일때 보니터의 피형토이고,

도 3c는 클로팅 노트(NI)의 초기 진압이 2.5V 일때의 파형도이고,

도 3d는 플로팅 노트(NI)의 초기 전압이 2.5V임때 모니터의 파형도이다.

도 4는 본 말량에 약한 셀 누설전류 감시 최로약 최로도

도 5는 도 4메 도시한 적분 회로부의 제 2 십시예

도 6은 도 4에 도시한 적분 최로부의 제 3 실시에

도 ?은 도 4에 도서한 적본 회로부의 제 4 실시에

도 8은 도 4에 도시한 적분 최로부의 제 5 실시에

도 9는 도 4에 도시한 적분 최료부의 제 6 실시며

도 10은 셀 클레이트 진압을 이용한 셀 누설전류 감사 회로의 시뮬레이션 결과도면서,

도 104는 초기화 과정의 파형도이고,

도 100는 묘니터 과정의 파형도미다.

토면의 주요부분에 대한 부호의 설명 +

10 : 더마 셀부

12 : 태모리 셀

20,120 : 데미 셀 누설전류 감사부

22 : 면산 증폭기

30: 비교부

불명의 상지관 실명

박영의 목록,

學學院 夸奇地 刀合艺的 望 그 보다의 西面刀合

본 발명은 반도체 때무리 소자의 설 누설전류 감시 회로(Cell Leakage Current Monitor Circuit)에 관한 것으로, 복해 감시 설(cell) 물레이트(plate)에 직접적으로 해 물레이트의 전압을 인기하여 설 누설 전류를 모니터링할으로써 온도, 전암 또는 프로세스(Process) 변화등으로 인한 설 누설 전류 변화량에 맞춰리프레쉬(Refresh)를 수행하도록 하며 리프레쉬 전류를 끊이고 설 데이타의 파괴를 받지시킨 설 누설전류감시 회로에 관한 것이다.

도 1은 중래의 생 누설전류 감시 회로의 구성도로서. 1개의 MADS 트런지스터와 1개의 커피시터로 구성된 다수개의 메모리 셈이 더미 베트리인(DEL)과 더미 워드라인(DVL)에 연결됩 더미 생부(10)와, 상기 센에서 눈설된 전류를 검찰해 내는 더이 생 누성전류 감시부(20)와, 상기 더미 생 누설전류 감시부(20)의 물력신호와 기준전학을 비교・증폭하며 리프레쉬 신호를 발생시키는 비교부(30)로 구성된다. 상기 더미 생 누설전류 감시부(20)관 센 플레미트 노드(cell plate)의 전위 신호와 센 플레미트 전압(Vcp)을 비교・증폭하는 플록기(DP-MP)(22)와, 상기 cell plate 노드와 상기 DP-MP(22)의 울력 단자(Vi) 사이에 접속된 게 돼시터(Ci)와, 상기 cell plate 노드와 상기 DP-MP(22)의 출력 단자(Vi) 사이에 접속되고 게이트로 제대신호(ictl)가 압력되는 NADS 트런지스터(DI)와, 상기 cell plate 노드와 삼기 DP-MP(22)의 출력 단자(Vi) 사이에 접속되고 게이트로 제대신호(ictl)가 압력되는 NADS 트런지스터(DI)와, 상기 cell plate 노드와 삼기 DP-MP(22)의 출력 단자(Vi) 사이에 작업 접속된 NADS 트런지스터(DI)와, 상기 cell plate 노드와 삼기 DP-MP(22)의 출력 단자(Vi) 사이에 작업 접속된 NADS 트런지스터(DP)와 커피시터(Copt)로 구성됩다. DPI서, 상기 MADS 트런지스터(DP)는 제어 신호(Optct1)에 의해 스위성된다.

상기 구성에 의한 회로의 초기화 과정은 다음과 같다.

먼저, NMOS 트런지스터(01)의 게이트로 업력되는 제어 산호(1ct1)와 액티브(하미)되어 모니터링 설. 플레 이트(celiplate)에 설 플레이트 전압(Vcp)이 인가(Vmcp=Vcp)된 상태에서 데이 워드라면(DML), 데머 비트리민(DMLO,DMLI)을 액티브하여 설의 데이터를 리이트한다. 설에 데이터를 라이트한 다음(DML,DMLI)을 비활성(경우) 상태로 하면 이때부터 모니터 생의 누설 전류를 모니터링하게 된다.

도 2는 증래의 설 누선전류 감시 회로의 시뮬레이션 결과도로서, 도 2는 적분 회로부를 초기화 함 때의 파형도이고, 도 26는 설 누설 전류를 모니터링 함 때의 파형도를 나타낸 것이다.

도 3은 좀레의 셒 누성전휴 감시 회로의 귤로팅 노드(M)의 진압에 따른 시출레이션 글과도로서, 도 3호는 플로팅 노드(NI)의 초기 진압이 CV 일때의 파형도이고, 도 36는 플로팅 노트(NI)의 초기 진압이 CV인때 모니터의 파형도이고, 도 36는 플로팅 노드(M)의 초기 진압여 2.5V 일때의 파형도이고, 도 36는 플로팅노드(NI)의 초기 진압이 2.5V일때 모니터의 파형도이다.

罗马伯 的复数 新老 计多年 李利

그러나, 상기 구성을 갖는 증래의 생 누설 모니터 회로에 있어서는, 생 누설 모니터 회로를 초기화를 수 행할 때, 모니터링되는 셈의 생 플레이트에 생 플레이트 점합(Vcp)이 면산 증폭기(OP-MP)로 통해 인기되 므로 모니터 셀에 데이터가 라이트릴때 모니터링 셈 플레이트의 진압이 흔들려게 된다. 또한, 모스 토런 지수터(이)의 문턱전압(Yt)의 저하로 모니터 웹 플레이트 전압(Ycp)과 OP-AMP의 출력전압(Yi)이 차이가 나게 되어 모니터 웹 플레이트에 점확한 Ycp진압을 인가할 수가 없다. 그리고 OP-AMP을 통해서 Ycp 전압 이 인가되므로 Ictl을 액티브되는 시간을 깊게 가져가거나 모스 트랜지스터(QI)의 크기를 크게 헤이한다. Ictl 액티브 평스 폭을 길게 가져가게나 모스 트랜지스터(QI)의 크기가 커지면 레이아웃 면적이 증가하는 문제점이 있었다.(도 2 참조)

또한 옵션을 사용하지 않을 경우, 즉 opct/가 바파성(로우)인 경우 노트(M)이 플로팅 상태가 된다. 케페시터의 한쪽 노트가 OP-AIP의 존략 노트와 연결되어져 있고 또 다른 노트가 노트(M)에 연결되어 플로팅상태이다. 셀 누설을 오니터링하는 동안에 노트(M)의 초가 전압에 따라 OP-AIP의 폭력 레벨이 변화하여산호 리프레쉬의 역티보되는 시간이 다른 문제점이 있었다.(도 3 참조)

[[다라서, 본 발명은 상기 문제점을 해결하기 위하여 이루어진 것으로, 본 발명의 목적은 모니터링 웹 급연 이트에 직접적으로 센 플레이트의 전압을 인가하여 센 누설 전류를 모니터링함으로써 온도. 진압 또는 프로세스(Process) 변화등으로 인한 센 누설 전류 변화량에 맞쳐 리프레쉬(Refresh)를 수행하도록 하여 리프레쉬 전류를 끌이고 센 데이타의 파괴를 방지시킨 셈 누설 모니터 회로를 제공하는데 있다.

설명의 구점 별 작품

삼기 목적을 달성하기 위하여, 본 발명의 별 누설 모니터 회포는,

반도체 메모리 소자의 설 누설잔류 감시 회로에 있어서,

적어도, 1개의 MOS 트랜지스터와 1개의 커래시터로 구성된 다수개의 메모리 셈이 더미 비트라던과 더미워드라인에 면결된 더미 셀부와.

상기 더미 누설 감시 셀부의 셀 플레이트 노드의 전위 신호와 셀 플레이트 전압을 비교·증폭하는 증폭타과, 상기 셀 플레이트 노드와 증폭단의 호력 노트로 셀 플레이트 진압을 인기하기 위한 제 1 및 제 2 프리카지 트랜지스터 및 등위 트랜지스터와, 상기 증복단의 출력 노드와 셀 플레이트 노드를 선택적으로 단락시키기 위한 스위청부로 구성된 셀 누설전류 감시수단과,

상기 성 부설전류 강시수단의 졸력신호와 기준전압을 비교·중독하여 리프래쉬 신호를 말생시키는 비교수단을 구비하여 미국어진 것을 목장으로 한다.

상기 구성에 더하며, 상기 제 1 및 제 2 프리차지 트랜지스터와 등위 트랜지스터는 MOSDI거나 PMOS, 또는 진당 개이트인 것이 바람직하다.

그리고, 상거 스위청부는 1개의 제이 신호에 약해 통작되는 2개의 MIOS 사이에 커피시터가 구성되거나 또는 1개의 제어 신호에 약해 통작되는 2개의 PKOS 사이에 커피시터가 구성된 것이 바람작하다.

또한, 상기 스위청부는 동일한 제대 신호에 의해 동작되는 2개의 전달 게데트 사이에 1개의 커래시터가 구성되거나, 등입한 제대 신호에 의해 동작되는 2개의 전달 게이트 사이에 1개의 커피시터가 구성된 제 1 및 제 2 스위청부가 병렬 면결되어 구성할 수 있다.

미하, 본 발명의 익식시에에 관하여 정부도면을 참조하면서 상세히 설명한다.

또, 실시메급 설명하기 위한 모든 도면에서 동일한 기능을 갖는 것은 동일한 부호를 사용하고 그 반복적인 설명은 생략한다.

도 4는 본 방영에 약한 열 누설전류 강시 회로의 최로도로서, 1개의 MMDS 트런지스터와 1개의 커피시턴로 구성된 다수게의 메모리 셈이 더미 베트라인(OBL)과 더미 워드라인(DBL)에 연결된 더미 셀부(10)와, 상기더미 셀부(10)의 셈 플레이트 노드(cell plate)의 전위 신호와 셈 플레이트 전압(Ycp)을 비교·종쪽하는 종폭기(OP-AMP)(22)와, 상기 더미 누설전류 강시 생부(10)의 셑 플레이트 노드로 셈 플레이트 전압(Ycp)을 인가하기 위한 프리차지 트런지스터(Q11 및 Q12) 및 동위 트런지스터(Q1)와, 상기 UP-AMP(22)의 플릭노드(YI)와 센 플레이트 노드를 선학적으로 단락시키기 위한 스위철 트렌지스터(Q2 및 Q21)와, 상기 스위형 트런지스터(Q2 및 Q21)와, 상기 스위형 트런지스터(Q2 및 Q21)와 사이에 접속된 커피시터(Copt)로 구성된 더미 색 누설전류 감시부(120)로 구성된다. 그리고, 상기 더미 색 누설전류 감시부(120)의 플릭신호와 기준전암을 비교·품족하며 리프레쉬 신호를 발생시키는 비교부(30)로 구성된다.

상기 더미 설부(10)는 1개의 트런지스터와 1개의 캐피시터로 구성된 애모리 센돋의 집합이다. 실제 메모리 셀라 더미 누설 감시 셀을 분리한다. 실제 메모리 셀들의 셀 플라이로는 공통으로 연결되며 Ycp(약1/2 Vcc)전압이 인가되어진다.

은 말당에 사용되는 누석 강시 설흥의 생 쓸레이트는 실제 해모리 생약 생 뜰레이트와 분라되어 더미 생 누석전투 감시부(120)의 OP-APP(22)의 네가티브 단지에 연결되어진다.

더미워드라인(마시)은 더미 누설 모니터 셈의 셈 트렌지스터를 제어하는 신호로 공통으로 묶어 있다. 더미 비트 라인은 셜 데이터 파틴에 변화를 주기 위해서 2개로 나뉘어 진다. 예를 불면, 마시아 하이", 마시 "로우"를 압력하고 아시 신호를 액타브하면 더미 누섬 모니터 셀에 1010...의 데이터 페틴미 저장되고 마시-"하이", 마시마 하이"이면 1111...의 데이터 패턴이 저장된다. 더미 워드 라인과 데이 비트 라인을 오프(여1)시키면 셀에서 누설 전류가 흐르게 된다. 이때 셀의 누섬 성분은 정함 누섬 전류, 부문턱 누설 전류, 아이 누섬 전류, 그리고 설간의 공합 누설 등의 함으로 이루어진다. 즉,

〈수막식 1〉

I s. I provided to miller release - I reserved received

이러한 누설 전류는 온도, 전압 또는 프레스 변화등으로 변하게 된다. 특히 설간의 누설 전류는 설의 데이타 페틴에 따라 크게 변화한다.

상기 더미 셑 누설전류 감시부(120)는 OP AMP(22), 적절가 캐패시터(Ci), 적론기 스위치 디바이스(미), 프리차지 디바이스(미1,012) 그리고 옵션 부분(02,021,Copt)으로 구성된다.

먼저, 옵션 부분은 직본기 커페시턴스를 눌리가 위해서 추가된다. 즉 optcti이 액티브되면 옵션 소위치다바이스 Q2, Q21대 온(on)되어 Ci와 Copt가 병결구조로 되어 작분기 커페시턴스는 (수학식 2)

C 4 C +C

가 된다. 또한 optcion 비환성 상태가 되면 옵션 스위치 디바이스 마, CDI가 오프되어 먹는기 커페시팅 스는

〈수학식 3〉

C 20-C' ,

이 된다.

적분기 제어신호(Ict1)가 액티브되면 작물기 수위치 디바이스(01)와 프리처지 디바이스(011,012)가 액티브되어 누설 모니터 생의 쇌 불레이트와 OP 서우의 출력 노드는 Ycp(독1/2 Ycc)로 프리차지(precharge), 이렇라이즈된다. 따라서 더미 누설 모니터 생의 센 플레이트에 Ycp가 인가되게 되어 노릴 때모라 생과 같이 쓸 불레이트에 동일한 전압이 걸린다. 이때 더미 누설 모니터 셀에 테미터를 라이트(Prite) 한다. 그 다음에 작보기 제어(Ict1)신호가 비환성되면 작분기 수위치 디바이스(01)과 프리차지 디바이스(011,012)는 디스에이불된다. 이때 더미 누설 모니터 셀과 OP 서우의 네가티브 단자 전압을 비쥬엄 그라운드 노드로 OP 서우의 포지티브 단자와 동일한 전압이 걸리게 된다. 이때 더미 누설 모니터 셀로부터 누설 전류가 빠져 나가면 그 임만큼의 전류가 작분기 체패시터의 전위 전류가 흐르게 된다. 이 전위 전류에 의해 적분기 출력 전압은 상송하게 된다. 즉

〈수학식 4〉

대기서, 적분기 출력 전압의 삼승 습로프는 1/CedM 비례하게 된다.

비교부(30)는 데미 셈 누설전류 감시부(120)의 출력 진압(Vi)와 기춘 전압(Vref)를 비교하게 된다. 초기에 기준진압(Vref)와 적분기 출력진압(Vi)보다 커서 비교기는 로우를 출력하게 된다. 점차로 적분기 출적 진압(Vi)가 상승하여 기준진압(Vref)보다 높게 되면 비교기는 하미를 출력하게 된다. 리프래시 요구시간은 적분기 출력진압(Vi)에 기준진압(Vref)보다 높을 때 결정된다. 즉,

〈수학식 5〉

$$V_i = V_i = \frac{1}{1} \int_0^{T_{i+1}} I_{i+1} dt$$

온도. 진압 또는 프로세스 변화로 인하며 셀 누설 전류(IL)가 변화하면 리프레시 요구 시간(trefreq)이 변화하게 된다.

따라서 전체적인 등작을 간략하게 성당하면 다음과 같다.

먼저, 더미 셈 누성진류 감시부(120)를 초기회하고 더마 누설 감시 셈에 데이터를 라이트한다. 즉, ict i 신홀로 액티브시키고 DBLO, DBLI에 데이터를 입력하고 DBL을 액티브한다.

그 후, DML, DMLD, DML, Ict I뮬 디스에이블하고, 설약 누설 전략에 의해 적분기 캐피시터에 전위 전류가 흐른다. 이때, 온도, 전압, 프로세스 변화에 의해 설약 누설 전류는 변화하게 된다.

전위 전류에 의해 적보기의 출력 전압이 상승한다. 이때 출력 전압 상승의 기울기는 적분기 커페시턴스 (Ceq)의 역수에 비례한다.

비교부(30)는 기준전암과 더미 웹 누설진류 감시부(120)의 출력 전압을 비교한다. 그래서 상기 더미 생 누설진류 감시부(120)의 출력 전압이 기준전압보다 높으면 비교기 콜릭인 요구 신호를 하이로 출력한다.

도 5는 도 4에 도시한 더미 살 누설진류 감시부(120)의 제 2 실시에로서, MMDS 트런지스터로 구성된 삼기 프리차지 트런지스터(Q11,Q12)와 동위 트런지스터(Q1)를 PMDS로 구현한 것이다.

그리고, 도 6은 도 4에 도시한 더미 살 누설전류 감사부(120)의 제 3 실시에로서, 삼기 MPDS 트랜지스터로 구성된 삼기 프리치지 트랜지스터(미1,미2)와 등위 트랜지스터(미)를 전달 게이트(61,62,63)로 구현한것이다.

그리고, 도 7을 도 4에 도시한 단미 살 누설전투 강시부(120)의 제 4 실시에로서, OP MP의 출력 노드와 실 등레이트 노드를 선택적으로 단탁시키기 위한 스위정부(Q2,Q21)를 1개의 제어 신호에 의해 통작되는 PIOS 트랜지스터로 구현하였다. 어때, 2개의 PIOS 트랜지스터 사이에는 커피시터가 구성된다.

도 8은 도 4에 토시한 더미 설 누설전류 감시부(120)의 제 4 설시예로서, DP 세P의 출력 노드와 설 플레이트 노드를 선택적으로 단탁시키기 위한 스위험부(D2.D21)을 동일한 제에 신호에 의해 홍작되는 2개의 전달 게이트로 구현하고, 이물 2개의 전달 게이트 사미에 1개의 커페시터를 구성한 것이다.

P.08/17

도 9는 도 4에 도시한 더미 앱 누성전류 감시부(120)의 제 4 심시매로서, 0P 세계의 출력 노드와 센 출레 미트 노토짤 선택적으로 당략시키기 위한 스위청부(02,021)를 중함한 제어 신호에 의해 등작되는 2개의 전달 게이트 사이에 1개의 커輔시티가 구성된 제 1 및 제 2 스위청부가 범결로 연결 구성하였다.

도 10분 설 중심이로 전압을 미용한 설 누설전류 같시 회호의 시물라이션 결과도로서, 도 10a는 초기화과정의 파형도이고, 도 10b는 모나터 과정의 파현도이다.

医斑虫 亞洲

이상에서 설명한 바와 같이, 큰 발명의 샐 누설 모니터 최로에 의하면, 온도, 전압 또는 프로세스 변화령으로 셀의 데이터 유지 시간이 감소(즉 생의 누설 전류가 증가)하면 미러한 셒 누설 전류를 모니터림하여 리프레스 요구가 발생하여 리프레시가 이루머지므로 센 데이타의 파괴를 막을 수 있다. 또한, 셸 데이타유지 시간이 증가(즉 셀의 누설 전류가 감소)하면 리프레시 요구 시간을 높릴 수 있으므로 리프레시 하는데 소오되는 전력을 감소시킬 수 있다.

마물러 본 발명의 바람직한 실시예절은 에시의 목작을 위해 개시된 것이며, 당업지라면 본 발명의 사상과 범위 안에서 다명한 수정, 변경, 부가등이 가능할 것이며, 미러한 수정 변경등은 이하의 특허성구범위에 속하는 것으로 보이야 할 것이다.

(57) 君子出 出来

청구함 1

반도체 메모리 소자의 셈 누설전류 감시 회로에 있어서,

적이도, 1개의 NAOS 트랜지스터와 1개의 커페시터로 구설된 다수개의 메모리 셈이 더미 비쁘라인과 다미 워드라인에 연결된 데미 셀부와,

삼기 더미 누설 감시 설부의 설 클레이트 노드의 전위 산호와 설 중레이트 전압을 비교· 증폭하는 중폭단 과, 상기 설 클레이트 노드와 증폭단의 플릭 노트로 설 클레이트 전앙을 인기하기 위한 제 1 및 제 2 프리차지 트랜지스터 및 등위 특런지스터와, 삼기 증폭단의 줄틱 노트와 설 클레이트 노트를 선택적으로 단탁시키기 위한 소위청부로 구성된 설 누설전류 감시수단과,

삼가 색 누설전류 감시수단의 출력신호와 기준전암률 비교·증폭하여 리프레쉬 신호를 말생시키는 비교 수단물 구비하여,이루어진 것은 목장으로 하는 열 누설전류 감시 회로.

월구달 2

제 1할에 있어서.

상기 제 1 및 제 2 프리카지 트랜지스터와 등위 트랜지스터는 NAOS인 것을 특징으로 하는 쉴 누설전후 감 시 회로.

청구학 3

제 1항에 있어서,

상기 제 1 및 제 2 프리차지 트랜지스터와 등위 프랜지스터는 PMDS인 것을 목집으로 하는 셀 누설전류 감시 회로.

삼구함 4

제 1학에 있어서,

상기 제 1 및 제 2 프리차지 트런지스터와 등위 트런지스터는 전함 게데트인 것을 특징으로 하는 센 누섭전류 감시 회로.

참구한 5

저 1합에 있어서,

삼기 스위청부는, 1개의 제대 신호에 의해 등작되는 2개의 MODS 사이에 커피시터가 구성된 것을 특징으로 하는 셑 누설전류 감시 최로.

청구한 6

제 1할에 있어서,

상기 스위청부는, 1개의 제대 산호에 의해 통작되는 2개의 PMOS 사이에 커피시터가 구성된 것을 특징으로 하는 설 누설전류 감시 회로.

성구함 7

제 1항에 있어서,

상기 스위청부는, 톱입한 제미 신호에 의해 통작되는 2개의 전달 게이트 사이에 1개의 커피시터가 구성될 것을 특징으로 하는 셈 누성진류 감시 최로.

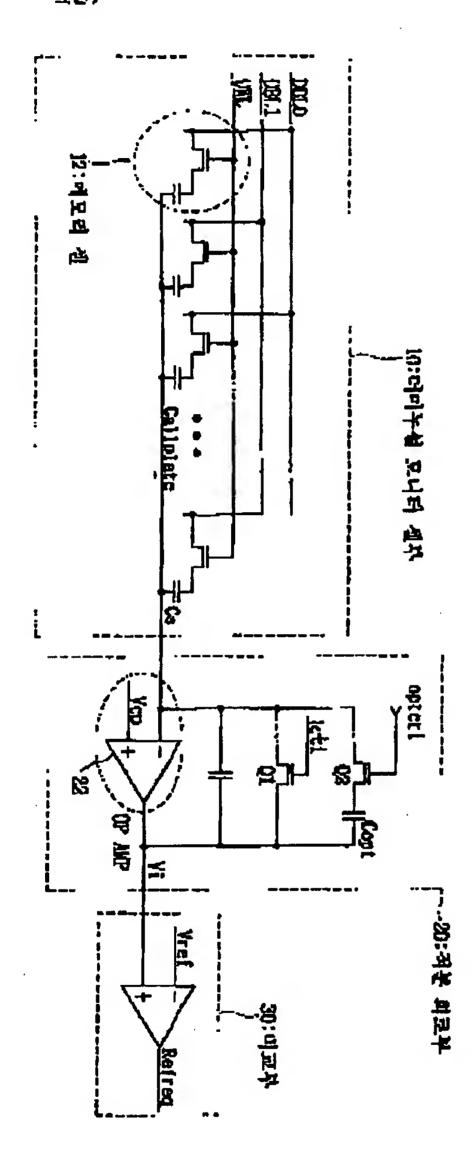
음구한 8

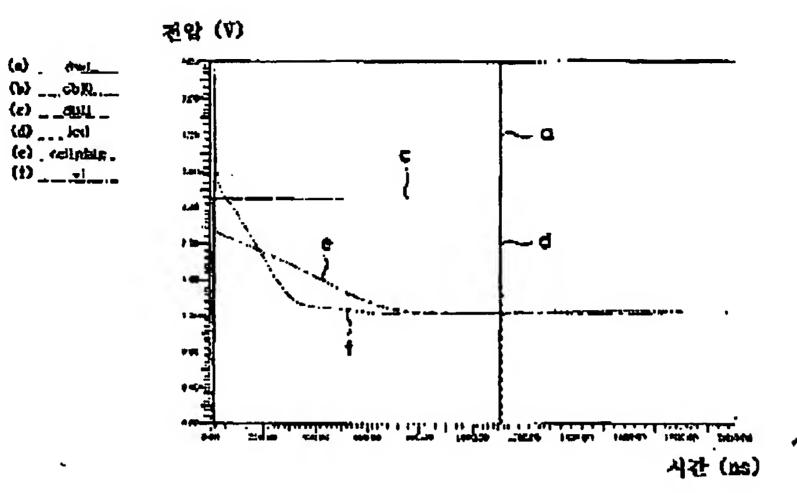
제 1항에 있다서,

상기 스위험부는, 동일한 제대 신호에 의해 동작되는 2개의 전달 게미트 사이에 1개의 커패시터가 구성된 제 1 및 제 2 스위청부가 병령 연결된 것을 특징으로 하는 셈 누설진류 감시 회로,

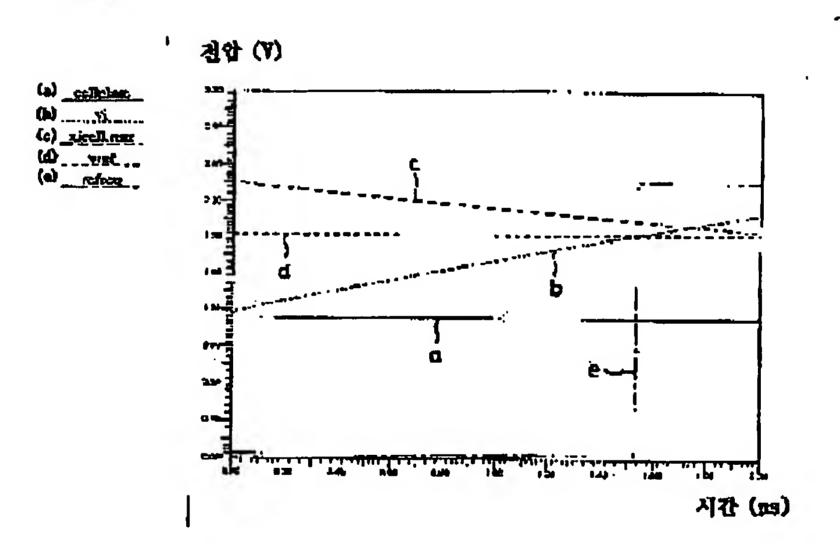
SB

定的

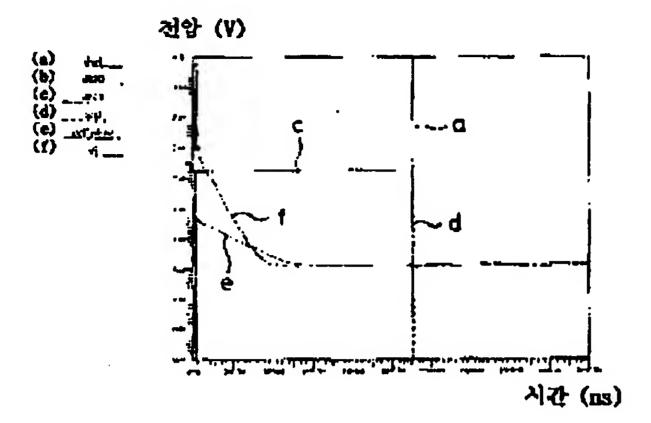




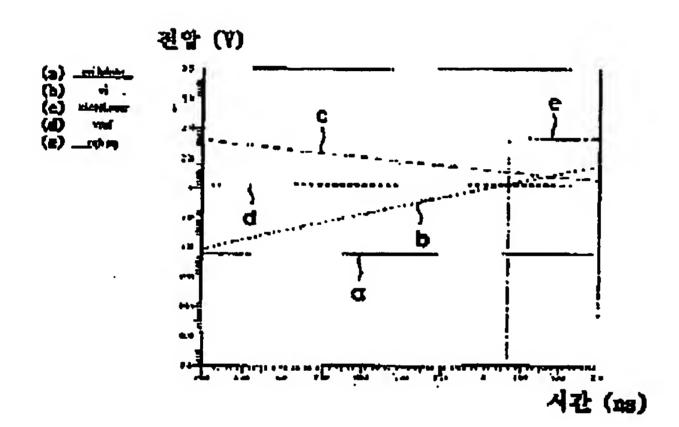
<u>5826</u>



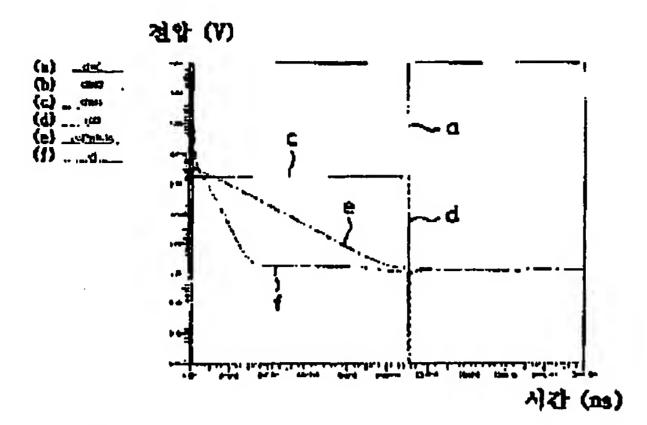
*⊆03*e



*도巴*莎

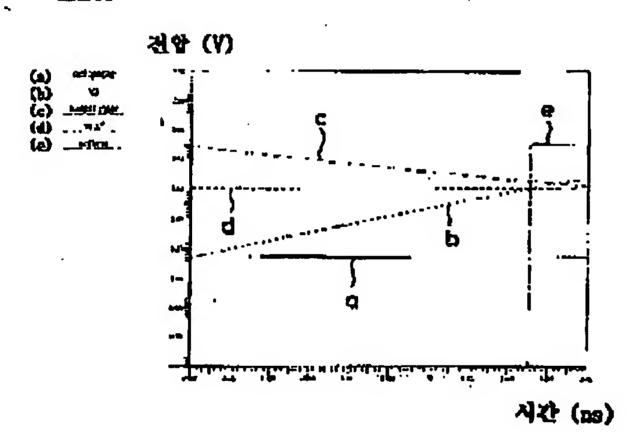


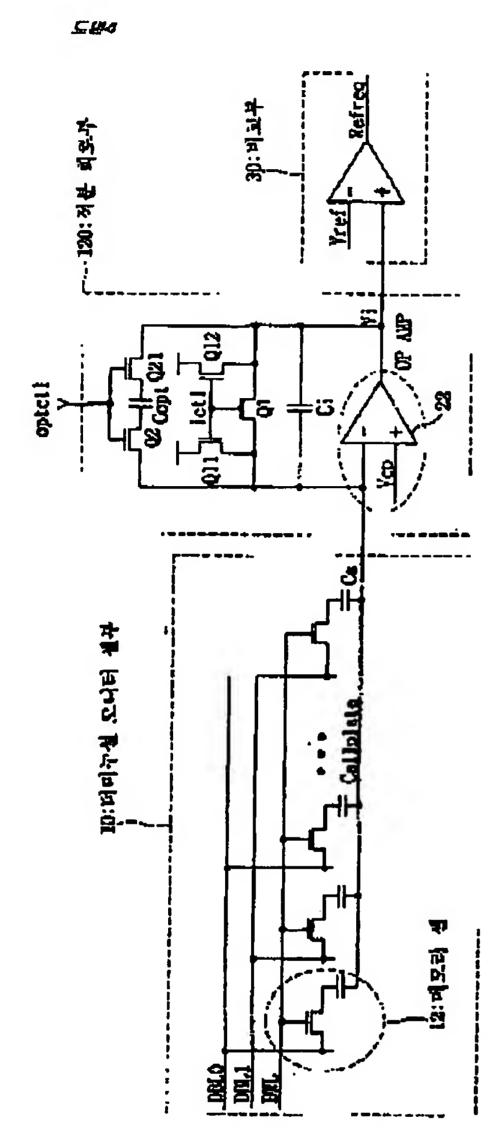
Elis.

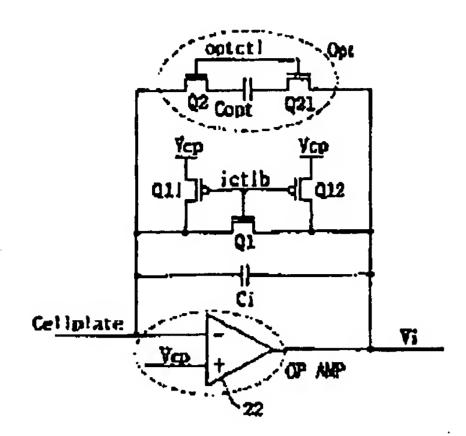


07-JUL-2005 15:54 FROM MILLER STURT KENYON

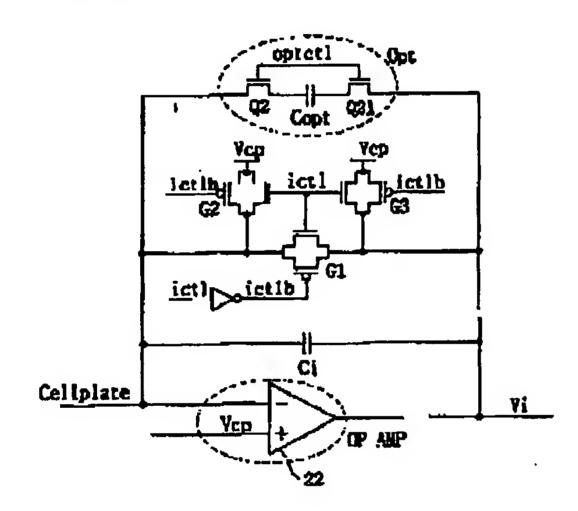
⊊£!3d



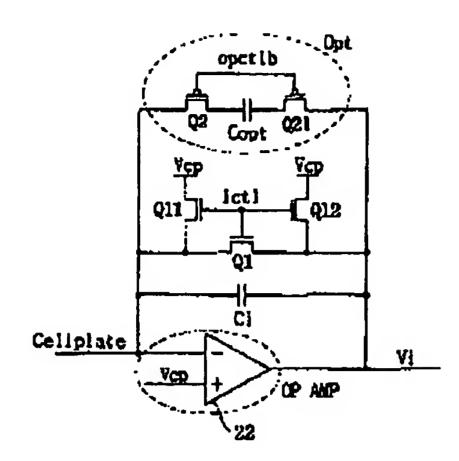




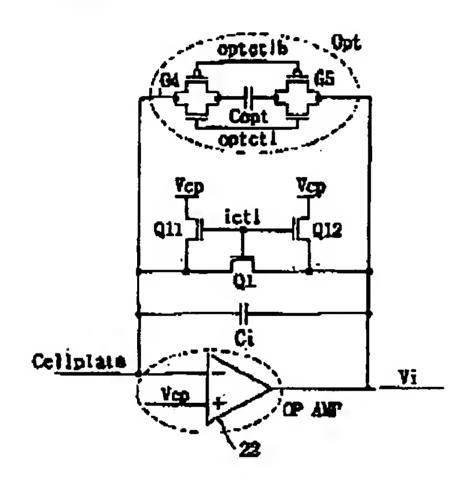
*도명*8

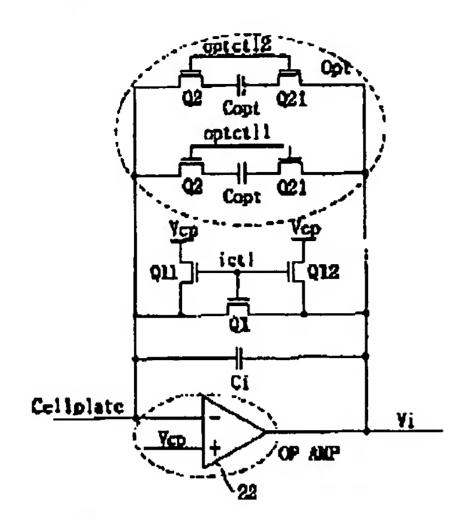


SR7

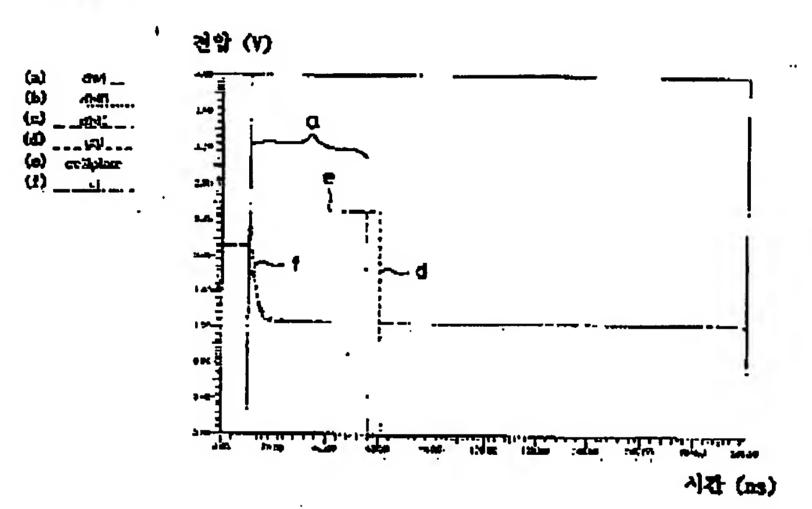


*52*8

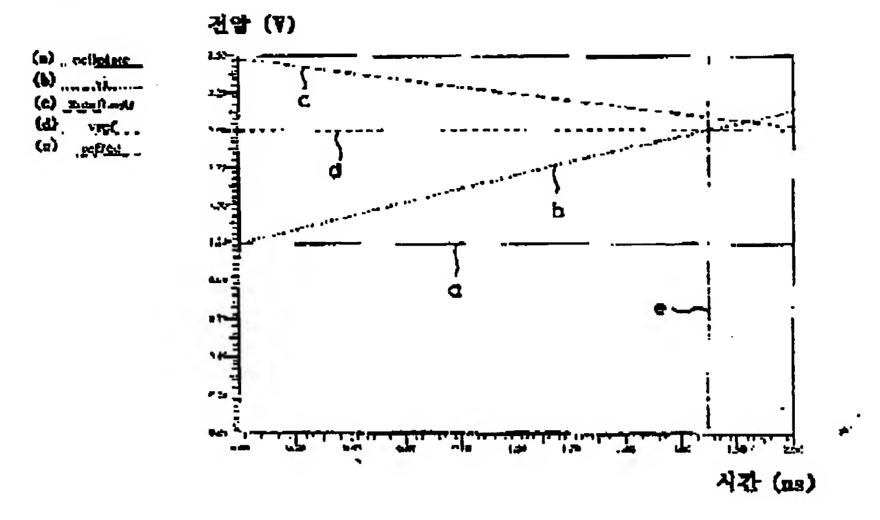




Ee 10a



18-20-69



14-14

Same Same

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:		
☐ BLACK BORDERS		
☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES		
FADED TEXT OR DRAWING		
BLURRED OR ILLEGIBLE TEXT OR DRAWING		
☐ SKEWED/SLANTED IMAGES		
☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS		
☐ GRAY SCALE DOCUMENTS		
☐ LINES OR MARKS ON ORIGINAL DOCUMENT		
☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY		

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.